

文章编号: 1006-4710(2011)03-0261-05

# 一种带保护电路的低功耗 LDO

杨利君<sup>1,2</sup>, 陈治明<sup>1</sup>, 龚正<sup>2</sup>, 石寅<sup>2</sup>

(1. 西安理工大学 自动化与信息工程学院, 陕西 西安 710048;

2. 苏州中科半导体集成技术研发中心, 江苏 苏州 215021)

**摘要:** 为了保护芯片不受电源电压起伏的影响,设计了一种应用于移动多媒体广播(CMMB)的带保护电路的低功耗低压降线性调节器(LDO);为了保证LDO的反馈环路在所有负载电流下均稳定,采用低增益、低输出阻抗的buffer来驱动输出管,使环路的相位裕度都高于40°;为了避免输出管在过流和过热时损坏,设计了过流保护电路和过热保护电路:过流保护电路将过载的电流限制在150 mA;过热保护电路包含滞回功能,在温度高于145℃时,过热保护电路将LDO关断,当温度低于125℃时,LDO重新打开。LDO的输入电压范围为1.5~3.3 V,输出电压为1.2 V。LDO采用0.35 μm CMOS工艺设计,共消耗30 μA的静态电流,最大负载电流为80 mA。芯片面积为380.2 μm × 198 μm。

**关键词:** 低压降线性调节器;过流保护电路;过热保护电路;相位裕度

**中图分类号:** F830.5

**文献标志码:** A

## A Low Power Low Dropout Regulator with Protection Circuits

YANG Lijun<sup>1,2</sup>, CHEN Zhiming<sup>1</sup>, GONG Zheng<sup>2</sup>, SHI Yin<sup>2</sup>

(1. Faculty of Automation and Information Engineering, Xi'an University of Technology, Xi'an 710048, China;

2. Suzhou-CAS Semiconductors Integrated Technology Research Center, Suzhou 215021, China)

**Abstract:** This paper presents a low power low dropout regulator (LDO) with protection circuits which shield a chip from fluctuations in supply rails for CMMB application. By employing a low gain low output impedance buffer to drive the gate node of the pass device, phase margin with over 40° is achieved under any load current conditions. To avoid destroy the pass device by the over current and over temperature, the over current protection (OCP) circuit which limits the maximum load current at 150 mA, and the over temperature protection (OTP) circuit which turns off the LDO when the temperature is higher than 145℃, and turns on the LDO when the temperature is lower than 125℃ are designed. The input voltage range is 1.5~3.3 V, and the output voltage is 1.2 V. The LDO with protection circuits has been implemented in a 0.35 μm CMOS process. It dissipates only 30 μA quiescent current at no load condition and is able to deliver up to 80 mA maximum load current. The chip area of the LDO is 380.2 μm × 198 μm.

**Key words:** low dropout regulator (LDO); over current protection (OCP) circuit; over temperature protection (OTP) circuit; phase margin (PM)

随着笔记本电脑、手机、数码相机、GPS、MP3等便携式电子产品的日益广泛应用,消费者对便携式电子产品对应的电源管理的要求也日益提高。电源管理电路是模拟集成电路中非常重要的一个模块,

通过仔细设计电源管理电路能够降低电池的静态功耗、延长了电池的工作时间,并输出一个精确的电源电压,确保了其它模块的正常工作,因而是所有电池供电设备中不可缺少的器件。高性能、低成本,小体

收稿日期: 2011-05-15

基金项目: 国家高技术研究发展计划(863计划)基金资助项目(2009AA011610)。

作者简介: 杨利君(1984-),女,河南安阳人,博士生,研究方向为模拟集成电路。E-mail:ljyang@sci-inc.com.cn。

陈治明(1945-),男,重庆人,教授,博导,研究方向为宽禁带半导体材料与器件。E-mail:chenzm@xaut.edu.cn。

积是电源管理产品的发展趋势。

由于低压线性调节器(LDO)具有低成本、低噪声、结构简单、面积小等优点,在便携式电子产品中受到广泛应用。本文介绍了一种实用的LDO结构,包括基准电路及保护电路,并给出设计结果。

## 1 LDO 电路的设计

本文设计的LDO由基准电路(reference)、误差放大器(error amplifier-EA)、输出晶体管(pass element)、反馈网络(feedback network)、电流检测器件(current sense element)和保护电路(protection circuit)等部分组成。

### 1.1 LDO 核心电路设计

误差放大器、输出管和反馈电阻组成LDO反馈环路,拓扑结构如图1所示。误差放大器强制两输入端直流相等,则输出电压为:

$$V_{out} = \left(1 + \frac{R_1}{R_2}\right) V_{ref} \quad (1)$$

由于基准电压 $V_{ref}$ 不随工艺角、温度、电源电压等外界环境变化,所以LDO的输出电压 $V_{out}$ 也不随外界环境变化,为负载电路提供一个恒定的电源电压。

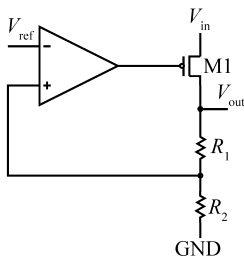


图1 LDO反馈环路拓扑结构  
Fig.1 Feedback loop of the LDO

环路的增益决定了LDO的电源抑制比(PSR)<sup>[1-4]</sup>、线性调节特性(line regulation)和负载调节特性(load regulation),因此,图1中的误差放大器采用高增益的折叠式运放,提高环路的增益,以此来获得低频处的高PSR。

LDO反馈环路设计的难点是保证环路在任何负载电流条件下都稳定。如图1所示,由于输出管M1负载大电流且要获得低压降,要求输出晶体管尺寸很大,其栅极的寄生电容很大,且误差放大器的高输出阻抗,使得输出管M1栅端的寄生极点频率很低,可以与输出极点相比拟,即单位增益频率内主次极点靠得很近,从而导致环路不稳定。所以,设计LDO电路时,在运放后加一个低输出阻抗的buffer,

把寄生极点的频率推向高频,使寄生极点与输出极点距离增大,保证环路的稳定性。

本文所采用的buffer结构如图2所示。 $V_{EA}$ 与EA的输出端相连, $V_{pass}$ 与输出管的栅极相连。 $I_b$ 为buffer提供了小负载电流时正常工作所需的静态电流。Mb2的尺寸不能太大以获得低跨导和小的寄生电容<sup>[5-8]</sup>;Mb1接成二极管形式,将EA输出处的寄生极点推向高频。图2中输出管栅极电压 $V_{pass}$ 的摆幅接近轨到轨,使得本论文所采用输出管的尺寸大大减小,从而减小了LDO的芯片面积。

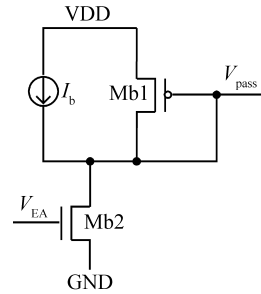


图2 buffer结构  
Fig.2 Schematic of buffer

完整的LDO结构如图3所示。Mcom工作在深线性区,可认为是一个线性电阻,与 $C_1$ 串联产生一个能够动态跟踪输出极点的零点。 $C_2$ 与 $R_1$ 及 $R_2$ 引入另一个零点,用来补偿EA的输出极点。经过上述两个相位补偿,LDO在所有负载条件下都能满足相位裕度在 $40^\circ$ 以上,保证了环路的稳定。

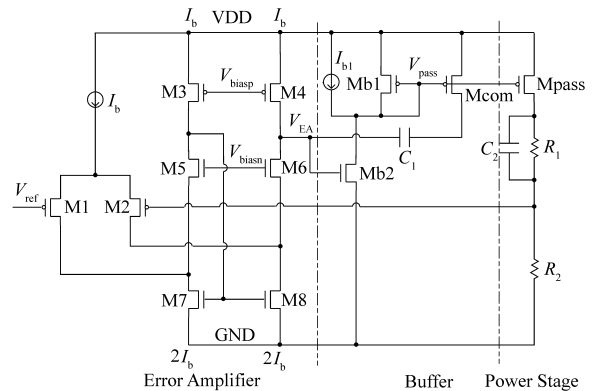


图3 本论文采用的LDO结构  
Fig.3 Schematic of the proposed LDO

LDO环路频率特性的仿真结果如图4(a)所示。负载电流在 $10\text{ nA} \sim 80\text{ mA}$ 内相位裕度在 $40^\circ$ 以上。图4(b)是不同负载电流下相位仿真曲线。小负载电流时,输出管的输出阻抗大,与负载电容组成的输出极点为主极点;大负载电流时,输出管的输出阻抗小,EA的输出处为主极点。

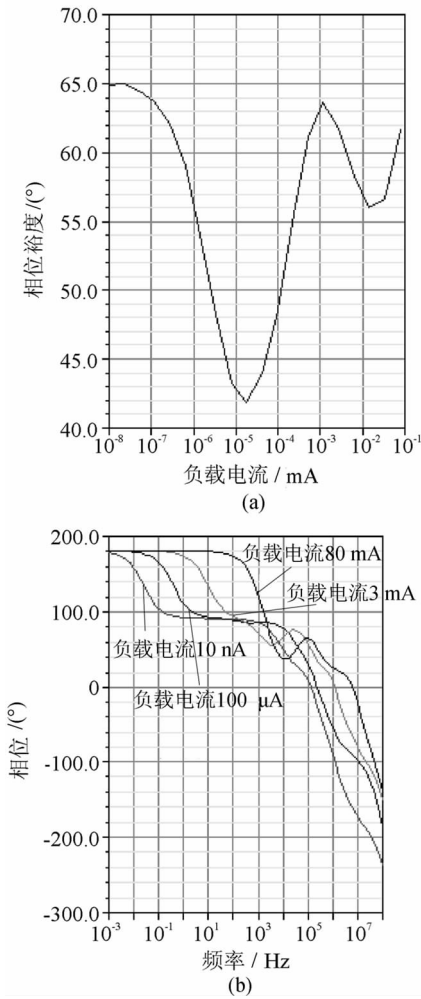


图4 LDO 反馈环路频率特性的仿真结果  
Fig.4 Simulated loop-gain transfer function of the proposed LDO

### 1.2 基准电压电路设计

带隙基准的工作原理是利用双极晶体管的基极-发射极电压具有负的温度系数与不同电流密度下的两个双极晶体管的基极-发射极电压的差值具有正的温度系数,两者抵消,得到一阶低温度系数的输出电压。

基准电压源要求做到不随温度、电源电压、工艺的变化而变化,所以在集成电路中经常被用作参考电压或者要求精度较高的电压源。本文采用一种常用的电流型带隙基准<sup>[9,10]</sup>,如图5所示,输出基准电压为:

$$V_{ref} = R_3 \left( \frac{\Delta V_{be}}{R_2} + \frac{V_{nbe}}{R_1} \right) = \frac{R_3}{R_1} \left( \frac{R_1}{R_2} \Delta V_{be} + V_{nb3} \right) \quad (2)$$

由于双极性晶体管的基极-发射极电压具有负温度系数,而  $V_T$  具有正的温度系数,调节  $R_1/R_2$  的比值可以将正负温度系数相抵消,从而得到一个恒温的基准电压。从公式中还可看出,输出电压除了

与晶体管的温度系数有关外还与电阻比例有关。也就是说,无论工艺如何变化,只要电阻随工艺的变化比例相同、方向相同,输出电压均不会发生变化,即与工艺相关项仅为晶体管的基极-发射极电压,是一种高性能的基准电压源。

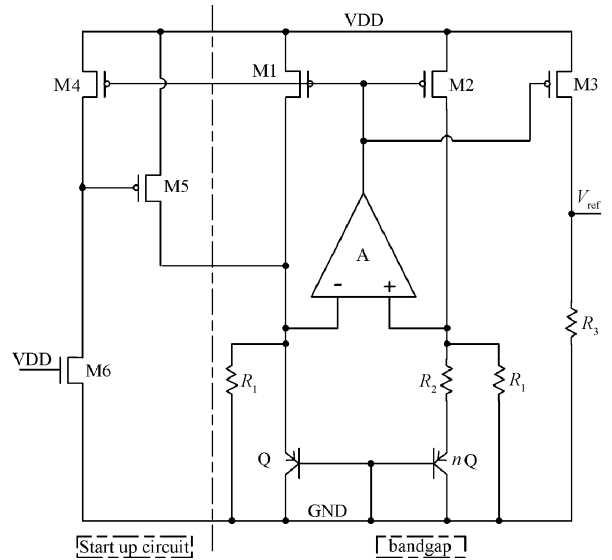


图5 带隙电压基准结构图  
Fig.5 Band-gap voltage reference circuit

图5中晶体管 M4、M5、M6 组成启动电路。当基准电路没有启动时,即  $V_{be}$  为低,没有达到双极晶体管的热电压,则 M4 中没有电流流过,M5 的栅极为低,M5 导通,有电流注入到双极晶体管,  $V_{be}$  升高,晶体管导通,基准电路启动。当基准电路启动后, M4 中有电流流过, M5 的栅极为高, M5 截止,不影响基准电路的正常工作。

利用电阻分压,bandgap 除了提供 LDO 用的直流  $V_{ref}$  外,还分别提供了过热保护和过流保护电路所需的直流电压  $V_{ref1}$  和  $V_{ref2}$ 。

### 1.3 过流保护电路设计

图6为带过流保护电路的 LDO 拓扑结构图。M1 是电流检测器件,检测负载电流大小。过流保护电路的原理是:当负载电流小于限制电流  $I_{limit}$  时,电阻  $R_{ref}$  上的压降小于基准电压  $V_{ref2}$ ,比较器 A2 关闭,环路2 不成立;当负载电流大于限制电流时,比较器 A2 工作,把电阻  $R_{ref}$  上的压降钳制在基准电压,环路2 建立,通过 M2 把负载电流钳制在限制电流  $I_{limit}$  处。环路1 的作用是钳制  $V_b$  与输出电压相等,使电流检测更精准。

当电流过大或者输出短路时,输出电压  $V_{out}$  ( $V_b$ ) 很低。因此图6中运放 A1 用轨到轨输入运放。

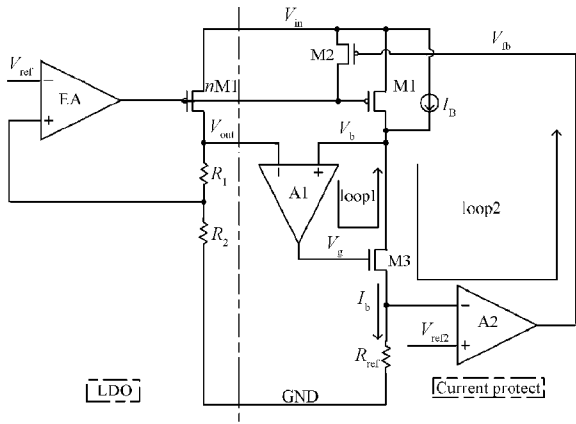


图6 带过流保护的LDO拓扑结构  
Fig.6 Schematic of the LDO with over-current protection (OCP) circuit

$V_{ref2}$ 选在400 mV,所以图6中运放A2选用p管输入的折叠式放大器。固定电流 $I_B$ 保证了低输出电流时( $i_b$ 很小)环路1和环路2的正常工作。保护电路镜像电流为 $i_b = I_{limit}/n$ , $n$ 为输出管与电流检测管的比值, $I_{limit}$ 为限制电流。输出电流大于此电流时限流电路开始工作,并将输出电流限制在电流值 $I_{limit}$ 。由图6可计算 $R_{ref}$ 的值为:

$$R_{ref} = \frac{V_{ref2}}{I_b} = \frac{V_{ref2}}{I_B + i_b} \quad (3)$$

由于运放A1的输入直流电压几乎覆盖了0~VDD,所以短路时(运放A1输入直流为0),过流保护电路仍然工作,输出电流限制在 $I_{limit}$ 左右,所以输出短路时LDO仍可工作,保证输出管不会烧坏。

### 1.4 过热保护电路设计

图7为带过热保护电路的bandgap。

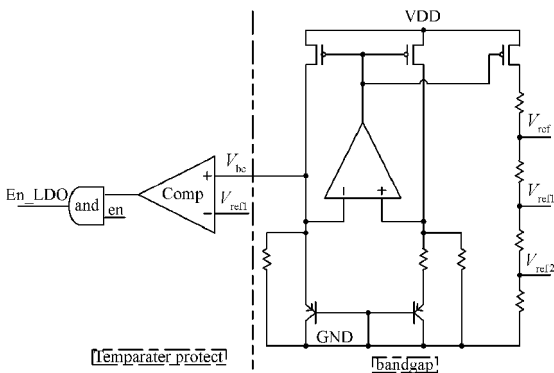


图7 带过热保护的bandgap  
Fig.7 Schematic of the bandgap with over-temperature protection (OTP) circuit

过热保护的原理是:利用三极管器件的基极-射极电压 $V_{bc}$ 对温度的敏感来检测电路内的温度变化,与滞回比较器相结合,温度升高,当温度高于 $T_1$ 时,比较器输出为低;温度降低,当温度低于 $T_2$ 时,比较器输出为高。本电路中, $T_1 = 145^\circ\text{C}$ , $T_2 = 125^\circ\text{C}$ 。外

部使能端或者比较器的输出端任意一端为低时LDO和过流保护电路的使能电压都为低,LDO和过流保护电路关断。Bandgap电路和比较器电路是常开器件。

滞回比较器的电路设计如图8所示。本电路中有两个反馈路径。第一条反馈路径是通过共源晶体管M1和M2的电流串联反馈。这条反馈路径是负反馈。第二条反馈路径是通过栅-漏连接的晶体管M4和M6的电压-并联反馈。这条反馈路径是正反馈。当负反馈系数大于正反馈系数时,整个反馈是负极性,无滞回现象。只有当正反馈系数大于负反馈系数时,整个反馈是正极性,有滞回现象。

M3与M4,M5与M6的镜像比例决定迟滞宽度。M7和M8是加的输出级以满足输出电压摆幅和阻抗的要求。两个反相器作为整流器对输出波形进行整形。

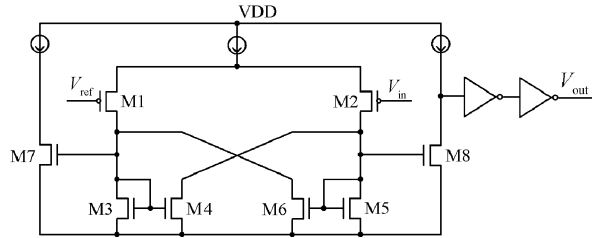


图8 滞回比较器设计  
Fig.8 Schematic of the comparator with internal hysteresis

## 2 LDO电路仿真结果

本论文采用0.35 μm CMOS TSMC工艺对电路进行仿真实验验证。LDO的版图如图9所示,面积为380.2 μm × 198 μm。在版图设计中LDO的输入、输出线应尽量宽,以减小输入、输出线上的寄生电阻,即减小输入、输出线上的压降。

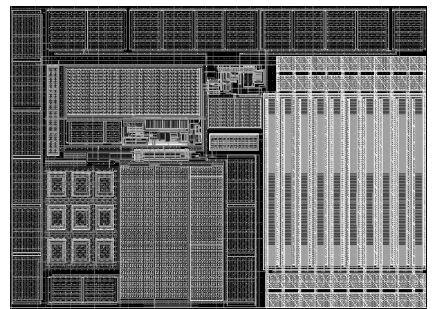


图9 LDO版图  
Fig.9 Layout of LDO

图10是LDO的PSR仿真结果。输入电压为3.3 V时,低频PSR大于85 dB。输入电压为1.5 V时,由于输出管的跨导及输出电阻都减小,所以环路的增益降低,PSR大于55 dB。

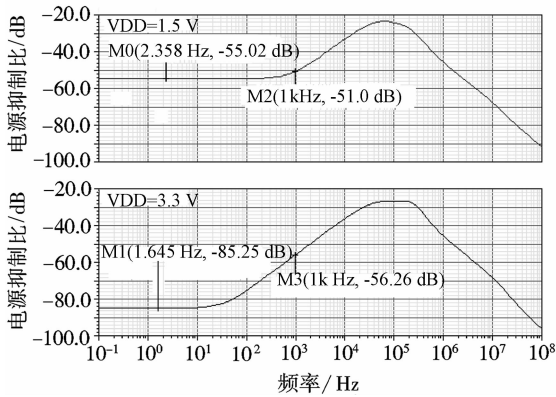


图 10 LDO 的 PSR 仿真结果

Fig. 10 Simulation result of the PSR of the LDO

过流保护仿真结果及过热保护仿真结果分别如图 11 和图 12 所示。从图 11 可以看出,负载电流大于 200 mA, OCP 电路启动, 将负载电流回限到 150 mA 附近。图 12 中, 虚线表示温度从低到高, 从图中可以看出, 温度高于 145°C 时, EN 为低, 即 LDO 关断, 图中实线表示温度从高降到低, 当温度低于 125°C 时, EN 为高, 即 LDO 打开。

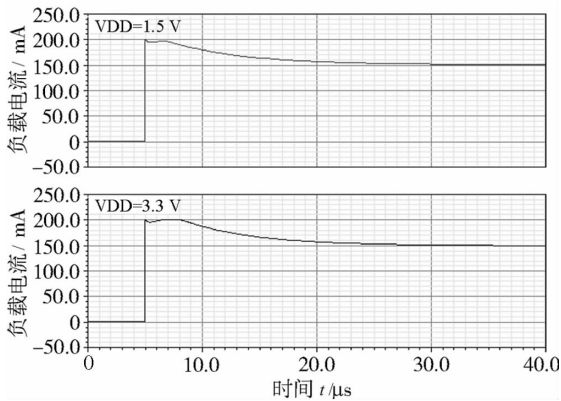


图 11 LDO 的过流保护仿真结果

Fig. 11 Simulation result of the OCP of the LDO

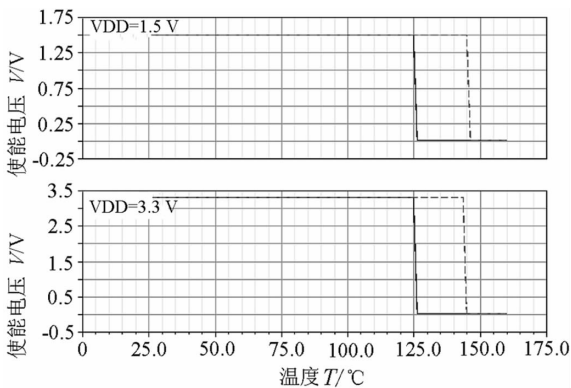


图 12 LDO 的过热保护仿真结果

Fig. 12 Simulation result of the OTP of the LDO

### 3 总结

本文设计了一种带保护电路的低功耗低压降线性调节器 (LDO)。保护电路包括过流保护电路和过热保护电路。LDO 采用低增益、低输出阻抗的 buffer 来驱动输出管, 保证了 LDO 的反馈环路在零负载到满载电流之间变化时相位裕度都在 40° 以上。LDO 的输入电压范围为 1.5 ~ 3.3 V, 输出 1.2 V 电压, 最大负载电流 80 mA。LDO 包含带基准电压电路共消耗 30  $\mu$ A 的静态电流。本文提出的 LDO 及其保护电路采用 0.35  $\mu$ m CMOS 工艺仿真验证, 芯片面积为 380.2  $\mu$ m  $\times$  198  $\mu$ m。

### 参考文献:

- [1] Vialha G, Gabriel A R M, Prasun R. Analysis and design of monolithic, high PSR, linear regulation for SoC application[C] // IEEE SOC Conference, Santa Clara CA, 2004: 311-315.
- [2] Gao Leisheng, Zhou Yumei, Wu Bin, et al. A full on chip CMOS low-dropout voltage regulator with VCCS compensation[J]. Journal of Semiconductors, 2010, 31(8): 1-5.
- [3] Mohamed E N, Ahmed A, Joselyn T, et al. High PSR low drop-out regulator with feed-forward ripple cancellation [J]. IEEE Journal of Solid-State Circuits, 2010, 45(3): 565-577.
- [4] Milliken R J, Silva-Martinez J, Sanchez-Sinencio E. Full on-chip CMOS low-dropout voltage regulator [J]. IEEE Transactions on Solid-State Circuits, 2007, 54(9): 1879-1890.
- [5] Lee H, Mok P K T, Leung K N. Design of low-power analog drivers based on slew-rate enhancement circuits for CMOS low-dropout regulators [J]. IEEE Transactions on Solid-State Circuits, 2005, 52(9): 563-567.
- [6] Al-Shyoukh M, Lee H, Perez R. A transient-enhanced low-quiescent current low-dropout regulator with buffer impedance attenuation[J]. IEEE Journal of Solid State Circuits, 2007, 42(8): 1732-1742.
- [7] Al-Shyoukh M, Lee H, Perez R. A transient-enhanced 20 $\mu$ A-quiescent 200mA-load low-dropout regulator with buffer impedance attenuation[C] // IEEE 2006, Custom Integrated Circuits Conference (CICC), San Jose, 2006: 615-618.
- [8] Leung K N, Mok P K T. A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation[J]. IEEE Journal of Solid-State Circuits, 2003, 38(10): 1691-1702.
- [9] Piero M, Franco M, Carlo F, et al. Curvature-compensated BiCMOS bandgap with 1-V supply voltage[J]. IEEE Journal of Solid-State Circuits, 2001, 36(7): 1076-1081.
- [10] Ajay K. Trimless second order curvature compensated bandgap reference using diffusion resistor [C] // IEEE 2009, Custom Integrated Circuits Conference (CICC), San Jose, 2009: 161-164.