

文章编号: 1006-4710(2013)04-0439-05

# 基于 FPGA 的 DDS 多信号发生器的设计与实现

杨大伟, 杨秀芳, 陈剑虹

(西安理工大学 机械与精密仪器工程学院, 陕西 西安 710048)

**摘要:** 在实际工业和科技等领域中经常需要高精度且频率方便可调的多信号源。研究设计了基于 FPGA 的直接数字频率合成(DDS)多信号发生器的基本组成和设计原理,给出了硬件描述语言 VHDL 编程实现方法,在 Quartus II 软件环境下对多信号发生器进行了仿真,用 ALTERA 公司的 Cyclone IV 硬件平台实现了程序的下载。实现了正弦波、锯齿波、方波、三角波等的频率可调、相位可调、幅值可调等功能,且准确度高,性价比良好。

**关键词:** 直接数字频率合成(DDS); 现场可编程门阵列(FPGA); 多信号发生器; VHDL  
**中图分类号:** TP346      **文献标志码:** A

## Design and Implementation of Direct Digital Frequency Synthesis Multiple Signal Generator Based on FPGA

YANG Dawei, YANG Xiufang, CHEN Jianhong

(Faculty of Mechanical and Precision Instrument Engineering, Xi'an University of Technology, Xi'an 710048, China)

**Abstract:** The convenient and adjustable multi-single resources with high precision and frequency are often required in the practical industrial and sci-tech fields. The basic components and design principle of direct digital frequency synthesis (DDS) multi-single generator based on FPGA are studied and designed. Also, the software description language VHDL, and programming realization method are given. Under Quartus II software environ, the signal generator is simulated. ALTERA company cyclone IV hardware platform is used to achieve the program downloading. The experimental results indicate that this design has realized the frequency adjustability, phase adjustability, and amplitude adjustability of the sine wave, saw tooth wave, square wave and triangle wave with high accuracy, fast conversion of wave patterns, and fine quality of output wave patterns, and better performance to price ratio.

**Key words:** direct digital frequency synthesis (DDS); FPGA; multiple signal generator; VHDL

多信号发生器在测试和实验领域有着广泛的应用,包括通信、测量、雷达、控制、教学等方面都有所涉及。随着科技的进步,尤其是新型直接数字频率合成(DDS)技术的产生,使多信号发生器的设计和实现更加容易和灵活<sup>[1]</sup>。基于 FPGA 实现的直接数字频率合成器其优点则更为突出,不但能合成任意波形的信号而且输出频率、速度、精度都比较高<sup>[2-3]</sup>。作为一种常用的信号源和测试仪器中重要的一类,基于 FPGA 的多信号发生器的设计具有重要意义。

现场可编程门阵列(Field Programmable Gate

Arrays, FPGA)是目前被广泛采用的一种可编程信号处理器件<sup>[4]</sup>。基于 FPGA 的数字信号发生器具有转换速度快及相位噪声低等优点<sup>[5]</sup>,在超高速、实时测控方面有非常广阔的应用前景。本文使用 Altera公司的 FPGA 芯片 Cyclone IV 系列器件实现多信号发生器的设计,可以输出正弦波、锯齿波、方波、三角波四种基本波形,频率和初始相位可调,输出信号频率在 150 kHz ~ 10 MHz 之间,通过按键选择不同波形的输出。Quartus II 软件仿真和 FPGA 硬件实验结果表明,该设计简单合理,使用灵活方便,波形转换快速,输出波形质量好,频率准确度高,具有

收稿日期: 2013-08-25

基金项目: 陕西省自然科学基金基础研究计划项目(2012JM8006)。

作者简介: 杨大伟,男,硕士生,研究方向为现代检测系统与仪器。E-mail:david\_36\_2006@126.com。

杨秀芳,女,副教授,硕导,研究方向为现代检测系统与仪器。E-mail:yxf5078@163.com。

良好的性价比。

## 1 直接数字频率合成(DDS)的组成及原理

### 1.1 DDS多信号发生器结构组成

图1是基于DDS的多信号发生器组成框图,包含按键输入、FPGA芯片Cyclone IV系列器件、D/A转换器、低通滤波器等部分。通过按键控制频率字、相位字输入和波形数据地址选择,以Cyclone IV系列低功耗、高效EP4CE15芯片的FPGA开发平台作为信号发生器的硬件实现,通过8位高速D/A将FPGA输出的数字信号转换成模拟信号,为防止噪声干扰,经低通滤波器滤除掉干扰信号,(若要提高负载能力可通过功率放大)输出到示波器观察。

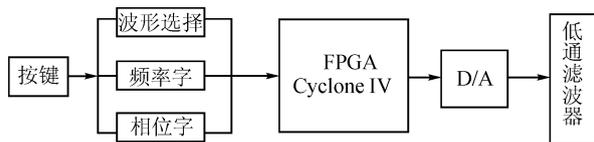


图1 DDS多信号发生器系统组成框图

Fig. 1 System composition block diagram of DDS multiple waveform signal generator

### 1.2 基于FPGA实现DDS信号发生器思想

DDS基于全数字技术,它是由系统时钟、相位累加器、相位调制器、波形ROM查找表、D/A转换器和低通滤波器组成的频率合成器<sup>[6]</sup>。DDS多信号发生

器的FPGA实现途径如图2所示,在系统40MHz晶振的CLK时序控制下,相位累加器对频率控制字 $K$ 进行累加,由32位加法和32位寄存器组成,通过频率控制字的反馈累加,改变ROM查找表的地址个数,相应输出波形的时间就会改变,最终实现可调频的信号输出;相位调制器接收相位累加器的相位输出,由10位加法和10位寄存器组成,加上一个相位偏移量,用于信号的相位调制。考虑到输出精度和实际采用的D/A转换位数,ROM查找表设计为10位地址线和8位数据线,存有四种基本波形的数字幅度信息,每个地址对应波形的一个相位点的幅度值,每种波形有256个字节,10位加法器的高2位用于波形选择,低8位为波形地址位。其中,正弦波地址范围为00\_00000000~00\_11111111[0~255];锯齿波地址范围为01\_00000000~01\_11111111[256~511(=256+255)];方波地址范围为10\_00000000~10\_11111111[512~767(=512+255)];三角波地址范围为11\_00000000~11\_11111111[768~1023(=768+255)]。波形数据长度为8位,取值范围应在0~255之间。查找波形表即获得对应地址ROM中所存的波形数据量信息,将其对应输出送入D/A完成数模转换,经低通滤波输出波形<sup>[7]</sup>。系统时钟CLK的频率 $f_0$ 与DDS输出波形频率 $f$ 的关系是( $K$ 为频率控制字、 $N$ 为累加器位数):

$$f = K \times f_0 / 2^N \quad (1)$$

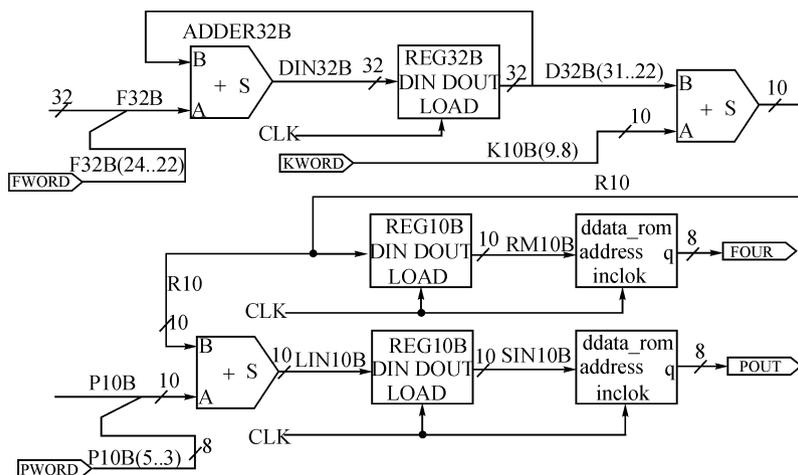


图2 DDS信号发生器电路模型结构原理图

Fig. 2 DDS signal generator circuit schematic diagram of the model structure

## 2 多信号发生器的VHDL编程实现及仿真

在Quartus II 11.0环境下,实现了多信号发生器的顶层文件、相位累加器、相位调制器、10位加法器和10位寄存器、ROM的设计。

### 2.1 顶层文件设计

顶层设计部分源程序如下,构成ROM中初始化波形数据文件,可采用Matlab生成.mif文件<sup>[8]</sup>。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
```

```

ENTITY DDS_VHDL IS
PORT (CLK:IN STD_LOGIC;
      FWORD: IN STD_LOGIC_VECTOR (2
DOWNTO 0);
      PWORD: IN STD_LOGIC_VECTOR (2
DOWNTO 0);
      KWORD: IN STD_LOGIC_VECTOR (1
DOWNTO 0);
      FOUT: OUT STD_LOGIC_VECTOR (7
DOWNTO 0);
      POUT: OUT STD_LOGIC_VECTOR (7
DOWNTO 0);
      DA_CLK:OUT STD_LOGIC);
END;
ARCHITECTURE one OF DDS_VHDL IS
/* 调用器件加法器,寄存器,ROM子程序*/
COMPONENT
...
END COMPONENT
SIGNAL F32B: STD_LOGIC_VECTOR (31
DOWNTO 0);
...
SIGNAL RM10B: STD_LOGIC_VECTOR (9
DOWNTO 0);
BEGIN
DA_CLK <= CLK;
F32B(24 DOWNTO 22) <= FWORD; F32B(31
DOWNTO 25) <= "0000000";

```

```

F32B(21 DOWNTO 0) <= "00000000000000000000";
P10B(5 DOWNTO 3) <= PWORD; P10B(2
DOWNTO 0) <= "000"; P10B(9 DOWNTO 6) <=
"0000";
K10B(9 DOWNTO 8) <= KWORD; K10B(7
DOWNTO 0) <= "00000000";
u1:ADDER32B PORT MAP(A => F32B,B =>
D32B,S => DIN32B);
u2:REG32B PORT MAP(DOUT => D32B,DIN
=> DIN32B,LOAD => CLK);
...
u7:REG10B PORT MAP(DOUT => SIN10B,
DIN => LIN10B,LOAD => CLK);
u8:ddata_rom PORT MAP(address => SIN10B,
q => FOUT,clock => CLK);
END;

```

### 2.2 DDS多信号发生器的仿真实验

对程序编译成功后,进行时序功能仿真,以验证设计的正确性。正弦波、锯齿波、方波、三角波等4种波形的时序功能仿真图如图3所示,输出端数据与控制字变频后存入ROM中的数据完全一致。

图3是使用Quartus II自带的嵌入式逻辑分析仪SignalTap II观察到的波形数据。逻辑分析仪SignalTap II可以捕捉目标器件FPGA内部任何节点处的信息<sup>[9]</sup>,图3捕捉的是多信号发生器的输入和输出节点的信息,图4给出了控制相位字输出正弦波形的硬件仿真测试图(因其他波形情况一样,限于篇幅考虑,不附其他波形移相图)。

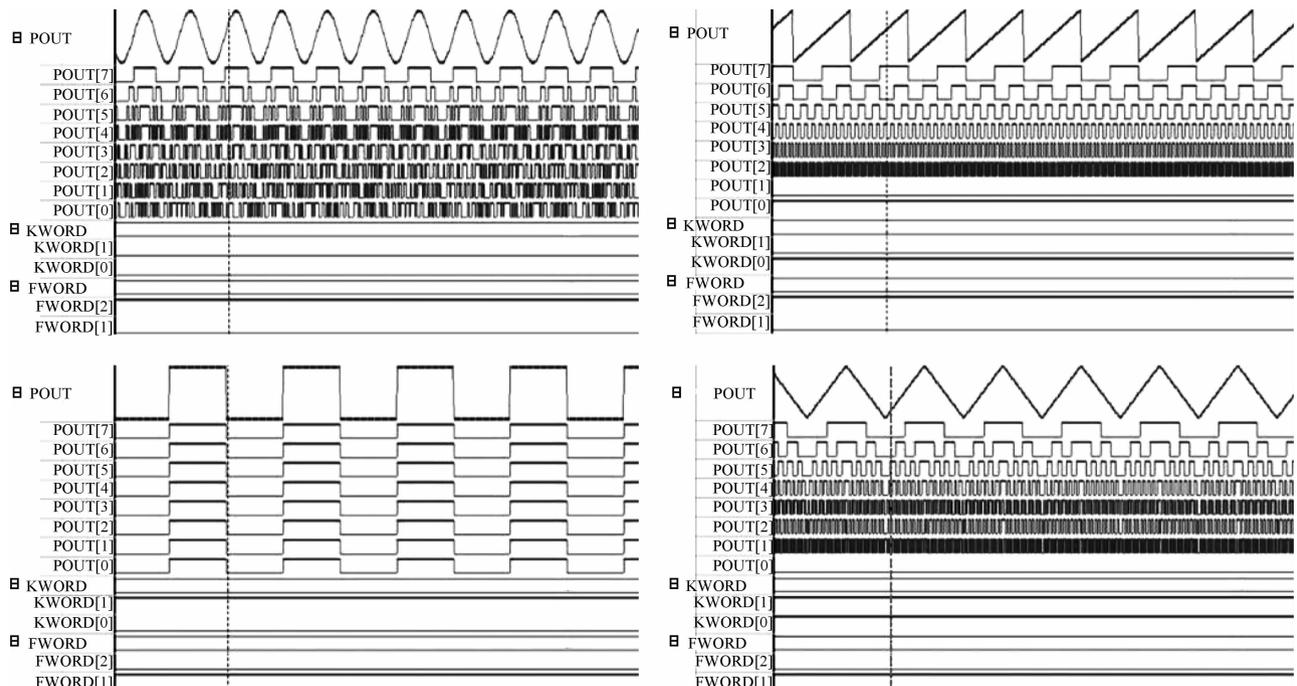


图3 使用SignalTap II逻辑分析仪仿真波形数据  
Fig.3 Simulation waveform data of SignalTap II logic analyzer

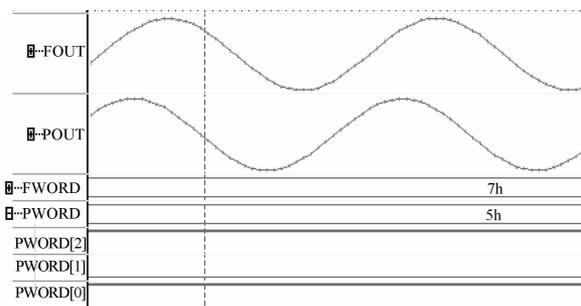


图4 正弦波相位控制仿真图

Fig. 4 Simulation diagram of sine wave phase variation

### 3 DDS 多信号发生器的 FPGA 实现

在对设计的多信号发生器时序仿真验证正确后,使用 FPGA 的 JTAG 口将程序下载到 FPGA 中,通过 FPGA 扩展 D/A 电路模块在示波器中观察三角波形的变频信号输出,输出波形如图 5 所示(其他波形情况一样,限于篇幅考虑,不附变频图)。

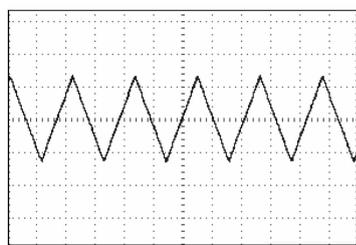
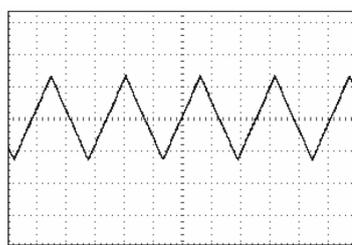
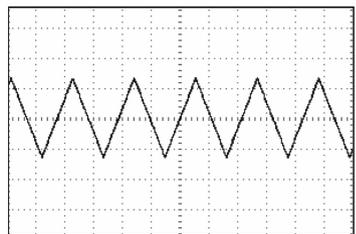
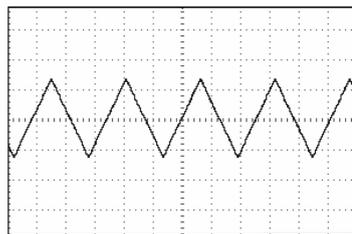
(a)  $f = 937.501 \text{ kHz}$ (b)  $f = 781.252 \text{ kHz}$ (c)  $f = 468.751 \text{ kHz}$ (d)  $f = 156.250 \text{ kHz}$ 

图5 示波器输出变频三角波模拟信号图

Fig. 5 Analog output frequency triangular waveform on the oscilloscope

### 4 结论

基于 FPGA 的 DDS 多信号发生器实现了正弦波、锯齿波、方波、三角波四种波形的频率可调、相位可调、幅值可调信号的输出。结果表明,该设计简单合理,使用灵活方便,波形转换快速,输出波形质量好,可输出不同频率,不同相位的波形,具有良好的性价比。由于硬件资源有限,本设计只能进行 3 位控制字的调试,在本研究设计的基础上只要增加控制字长、累加位数,扩展波形数据即可实现频率高分

实验中使用的高速 D/A 是 AD 公司的 8 位、125 MSPS 的 AD9708 芯片,低通滤波器是带宽为 40 MHz 的 7 阶巴特沃斯滤波器,滤波之后,使用 2 片高性能 145 MHz 带宽的运放 AD8056,实现差分变单端以及幅度调节等功能,幅度调节使用 5 k $\Omega$  电位器,输出峰峰值  $V_{pp}$  可达 10 V。图 6 是 AD9708 芯片时序图。

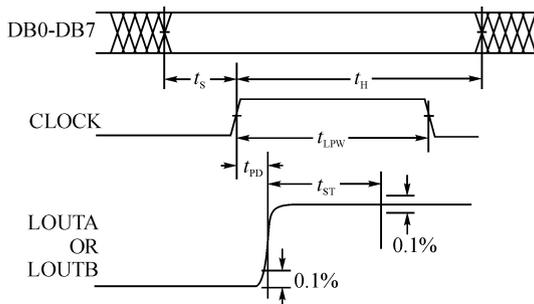


图6 AD9708 时序图

Fig. 6 AD9708 Timing diagram

辨率、大范围可调;加入乘法器控制,则可实现调幅信号的输出等。

### 参考文献:

- [1] 于洪辉. 基于 FPGA 的函数波形发生器设计[J]. 机电技术, 2012, 35(2): 34-37.  
Yu Honghui. Design of function waveform generator based on FPGA[J]. Mechanical & Electrical Technology, 2012, 35(2): 34-37.
- [2] 易宏, 杜志明, 吴国辉, 等. 基于 FPGA 的函数信号发生器设计[J]. 电气与电子教学学报, 2009, 31(6): 35-

- 37.
- Yi Hong, Du Zhiming, Wu Guohui, et al. A function signal generator design base on FPGA[J]. Journal of Electrical & Electronic Teaching, 2009, 31(6): 35-37.
- [3] 郝小江, 罗彪. 基于FPGA的函数信号发生器[J]. 电测与仪表, 2008, 45(5): 49-51.
- Hao Xiaojiang, Luo Biao. Function signal generator based on FPGA [J]. Electrical Measurement & Instrumentation, 2008, 45(5): 49-51.
- [4] 杨海钢, 孙嘉斌, 王慰. FPGA 器件设计技术发展综述[J]. 电子与信息学报, 2010, 32(3): 714-727.
- Yang Haigang, Sun Jiabin, Wang Wei. An overview to FPGA device design technologies [J]. Journal of Electronics & Information Technology, 2010, 32(3): 714-727.
- [5] 董国伟, 李秋明, 赵强, 等. 基于FPGA的直接数字频率合成器的设计[J]. 仪器仪表学报, 2006, 27(6): 877-879.
- Dong Guowei, Li Qiuming, Zhao Qiang, et al. Design of direct digital frequency synthesizer based on FPGA [J]. Chinese Journal of Scientific Instrument, 2006, 27(6): 877-879.
- [6] 宋寅. 基于FPGA的DDS波形发生器的设计与实现[J]. 合肥学院学报:自然科学版, 2007, 17(2): 63-66.
- Song Yin. Design and implementation of DDS curve generator based on FPGA [J]. Journal of Hefei University (Natural Sciences), 2007, 17(2): 63-66.
- [7] 余勇, 郑小林. 基于FPGA的DDS正弦信号发生器的设计与实现[J]. 电子器件, 2005, 28(3): 596-599.
- Yu Yong, Zheng Xiaolin. Design and implementation of direct digital frequency synthesis sine wave generator based on FPGA [J]. Chinese Journal of Electron Devices, 2005, 28(3): 596-599.
- [8] 徐丹阳, 张晓红, 王勇. 任意波形发生器ROM查找表的设计[J]. 现代电子技术, 2008, 31(11): 172-178.
- Xu Danyang, Zhang Xiaohong, Wang Yong. Design of arbitrary waveform generator ROM LUT [J]. Modern Electronic Technology, 2008, 31(11): 172-178.
- [9] 潘松, 黄继业, 曾毓. SOPC实用教程[M]. 北京: 清华大学出版社, 2005: 12-52.

(责任编辑 王卫勋)