

文章编号: 1006-4710(2014)01-0091-05

# 基于 FPGA 的高速串行 AD 转换器 控制设计与实验研究

杨大伟<sup>1</sup>, 杨秀芳<sup>1</sup>, 李大伟<sup>2</sup>, 韩俊锋<sup>2</sup>, 陈剑虹<sup>1</sup>

(1. 西安理工大学 机械与精密仪器工程学院, 陕西 西安 710048;

2. 中国科学院 西安光学精密机械研究所, 陕西 西安 710119)

**摘要:** 在对靶场光电仪器进行外场数据分析时,需要对仪器接收到的多种数据信号进行采集,为提高采集过程中数字控制系统 A/D 转换效率,并简化数据采集系统硬件,设计了基于 FPGA 控制 AD7890 芯片 A/D 转换和转换数据串行输出方案。介绍了串行多通道 A/D 转换器 AD7890 的工作原理,给出了在 Xilinx 公司的 ISE 10.1 软件开发平台下程序设计和仿真图,并进行了基于 FPGA 器件 Virtex-4 处理器硬件开发平台下的实验。实验表明,FPGA 的控制是成功的,AD7890 输出的二进制值 010000000000 和 001001100111 与加入到输入端的模拟电压 5V 和 3V 完全一致,充分发挥了 12 位 AD7890 的高精度特点。

**关键词:** 串行多通道 A/D 转换; FPGA; 数据采集系统; 高精度; AD7890

**中图分类号:** TP335+.1      **文献标志码:** A

## Control design and experimental research of high-speed serial AD converter based on FPGA

YANG Dawei<sup>1</sup>, YANG Xiufang<sup>1</sup>, LI Dawei<sup>2</sup>, HAN Junfeng<sup>2</sup>, CHEN Jianhong<sup>1</sup>

(1. Faculty of Mechanical and Precision Instrument Engineering, Xi'an University of Technology, Xi'an 710048, China;

2. Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, Xi'an 710119, China)

**Abstract:** In carrying out the analysis of external field data by using a photoelectric instrument measuring range, it is necessary to collect signals of various kinds from the photoelectric instrument. In order to improve control system A/D conversion efficiency in the digital acquisition, and simplify the data acquisition system hardware, a scheme is designed on the basis of FPGA to control AD7890 chip A/D conversion and conversion data serial output solution. The serial multi-channel A/D converter AD7890 working principle is introduced. This paper gives program design and simulation figure in Xilinx's ISE 10.1 software development platform and the experiment is carried out based on the Virtex-4 FPGA devices processor hardware development platform. Experiments show that the FPGA control is successful. The output binary values of AD7890 and 010000000000 and 001001100111 are completely consistent with the analog voltage input of 5 V and 3 V added to the input end, whereby giving full play the characteristics of the 12 bit AD7890 high precision.

**Key words:** serial multi-channel A/D convertor; FPGA; analog-digital acquisition system; high precision; AD7890

随着工业技术的进步,现代数字控制系统对执行效率和集成化程度的要求越来越高<sup>[1]</sup>。特别是在

收稿日期: 2013-11-15

基金项目: 陕西省自然科学基金基础研究计划资助项目(2012JM8006)。

作者简介: 杨大伟,男,硕士生,研究方向为现代检测系统与仪器。E-mail:david\_36\_2006@126.com。

杨秀芳,女,副教授,硕导,研究方向为现代检测系统与仪器。E-mail:yxf5078@163.com。

靶场光电仪器平台多个伺服系统数据信号采集中,对多通道 A/D 转换的效率要求更高,此外,在外场便携式采集仪器与光电设备接口中,使用多通道高速 A/D 转换器还可以简化电路设计<sup>[2]</sup>。

许多文献对串行多通道 A/D 转换器 AD7890 的控制,基本上都是以单片机或者微处理器为控制核心。使用单片机作为处理器,虽然编程简单且容易控制,但是速度较慢,周期长,极大地限制了高速 A/D 的使用<sup>[3]</sup>,而使用 DSP 作为处理器,需要专用 SPI 接口。采用 FPGA 作为控制核心,其时钟频率可高达 100 MHz 以上,与单片机或微处理器相比,更适合用于数字控制系统中直接对高速 A/D 器件进行有效控制<sup>[4-6]</sup>。

本设计以 Xilinx 公司高性能现场可编程门阵列 Virtex-4 系列 FPGA 芯片为核心器件,利用多通道串行 A/D 转换芯片 AD7890 实现快速、高精度的 A/D 转换。

### 1 FPGA 控制 AD7890 原理框图

FPGA 控制 AD7890 原理如图 1 所示。光电仪器外场的模拟电压信号接入 AD7890 的输入通道。AD7890 共有 8 个输入通道,实验中任选其中 1 或 2 个通道。AD7890 转换器工作所需的时钟信号 SCLK、同步信号 CLK\_IN 由 FPGA 提供,AD7890 启动转换控制信号  $\overline{\text{CONVST}}$ 、发送帧同步信号  $\overline{\text{TFS}}$ 、接收帧同步信号  $\overline{\text{RFS}}$ 、控制字写入端信号 DIN 以及转换完毕的数字输出信号 DOUT 由 FPGA 产生。实验中 FPGA 选用 Xilinx 公司高性能 Virtex-4 系列的 XC4VLX25 型芯片<sup>[7]</sup>,它具有超强信号处理能力,主要应用于航空、航天等需求较高领域。XC4VLX25 芯片的 I/O 口电压为 3.3V,AD7890 数据电平为 5V,两个芯片的电平不匹配,使用 TI 公司专门的电平转换器件 SN74ALVC164245 实现电平转换。AD7890 串行输出数据 DOUT 可通过计算机仿真测试界面显示。

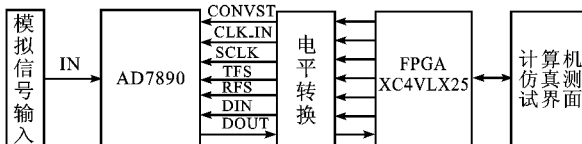


图 1 FPGA 控制 AD7890 设计原理图

Fig. 1 The FPGA control AD7890 schematic diagram

### 2 A/D 转换控制模块设计

依据 AD7890 工作原理,采用 FPGA 器件 XC4VLX25 芯片,在 ISE 10.1 软件环境下实现对

A/D 转换控制模块的程序设计及仿真。

#### 2.1 AD7890 的工作原理

AD7890 是 Analog Device 公司推出的一款 8 通道 12 位高速串行 A/D 转换器。它的内部结构和引脚功能如图 2、3 所示,由 8 路模拟输入(信号调理)、多路选择器、跟踪/保持放大器、参考电源、输入控制寄存器和数据输出寄存器等部分组成<sup>[8]</sup>。

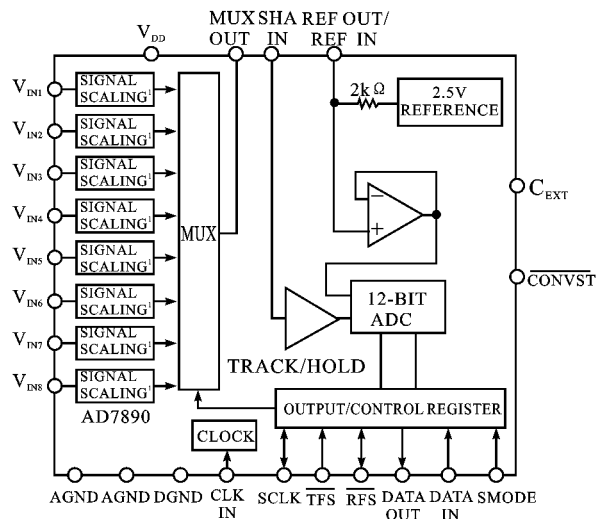


图 2 AD7890 内部结构功能图<sup>[8]</sup>

Fig. 2 Functional block diagram of AD7890<sup>[8]</sup>

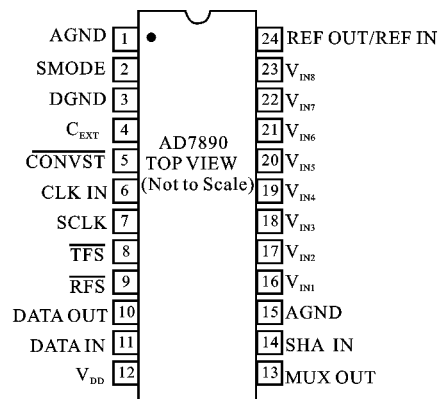


图 3 AD7890 引脚图<sup>[8]</sup>

Fig. 3 Pin configuration of AD7890<sup>[8]</sup>

AD7890 有两种工作模式(外部时钟和内部时钟)可选,由 AD7890 的 SMODE 引脚的高低位置决定,AD7890 通过片内的高速双向串行数据接口接收输入控制字和输出串行数据,器件的 8 路模拟输入通道通过给定输入控制字选出。串行输入控制寄存器由 5 位组成:3 位通道选择地址位  $A_2$ 、 $A_1$ 、 $A_0$ ,1 位软件控制转换状态位 CONV(低电平有效)、1 位休眠状态位 STBY,如图 4 所示。在指定芯片输入控制命令时,至少需要 6 个 SCLK 时钟脉冲信号才能完成对寄存器的写操作,超过 6 个写周期时钟的输入字无效,且 5 位控制位默认输入为 0。被选通道按照公式(通道号= $4 \times A_2 + 2 \times A_1 + A_0 + 1$ )计算。

MSB			LSB	
A2	A1	A0	CONV	STBY

图4 AD7890 输入控制寄存器

Fig. 4 The information of control register for AD7890

控制字写入数据后,转换过程开始,器件启动内部延时脉冲,完成通道选择和切换后延时脉冲结束,正式启动A/D转换,AD7890引脚C<sub>EXT</sub>电容值决定了内部延时脉冲宽度,考虑到2μs的跟踪/保持采集时间,设计中取120 pF。控制AD7890的转换开始有两种方式,即软件对控制寄存器的CONV位设定和硬件CONVST引脚输入设定,设计中采用CONVST引脚硬件输入端转换控制,上升沿触发方式。

AD7890采用的外部时钟读写模式下的时序图,如图5、6所示。对于AD7890的时序控制,首先当CONVST引脚置低,产生一个窄低电平脉冲,在脉冲上升沿A/D开始转换,此时需要软件控制字的CONV位保持低电平,且保证CONVST启动转换之前内部延时脉冲已结束。其次,拉低写控制寄存器电平使能传输帧写信号TFS同步,在SCLK的前5个时钟周期内写入串行输入数据控制字,同一次TFS的5个SCLK脉冲下降沿以后的串行数据均无效,为了使读取操作成功,必须写满至少6个时钟后再将TFS置高。在读取A/D转换结果期间,接收帧同步信号RFS一直为低,从起始位0开始输出串行地址位和数据位,RFS保持低电平要大于16个周期以上,否则会出现有效位读取不完整或输出数据不正确。读操作结束后,为确保下一周期内A/D转换正常,在下一个转换标志CONVST上升沿到来之前必须保持500 ns以上的时钟周期。需要注意的是,在一个转换周期允许的时钟周期范围内,应尽可能地延长转换时间,才能使输出数据的准确性高。

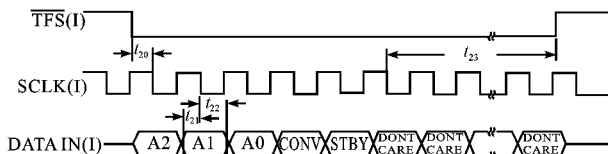


图5 外部时钟模式写操作时序<sup>[8]</sup>

Fig. 5 External clocking mode control register write<sup>[8]</sup>

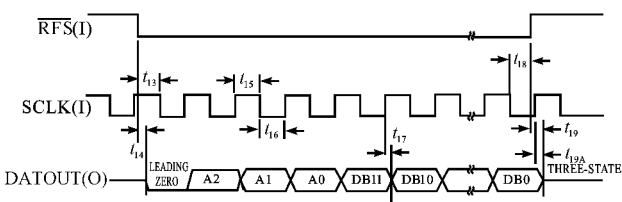


图6 外部时钟模式读操作时序<sup>[8]</sup>

Fig. 6 External clocking mode output register read<sup>[8]</sup>

设计中,SMODE控制端置高电平,使A/D工作在外部时钟模式,AD7890串行数据访问时钟信

号SCLK,由FPGA对外接的100 MHz有源晶振时钟信号分频提供,由于AD7890可接收的最大串行时钟频率是10 MHz,为保证足够的内部脉冲延时转换时间,系统时钟20分频后,输出5 MHz时钟信号给SCLK。如果在外部时钟工作模式下,CLK\_IN引脚也必须接入分频时钟,否则,A/D不会启动内部转换。CONVST为转换开始硬件输入端,它与控制寄存器中的CONV在软件设计中等效,所以控制字第4位应该置0;A/D的串行输入引脚DIN和串行输出引脚DOUT分别连接FPGA的两个I/O口,多路开关输出MUX OUT与跟踪/保持输入SHA IN引脚直接连接,这样系统就会按照时序先后访问输入控制寄存器和输出数据寄存器。此外,设计中还在FPGA与AD连接引脚之间反接入高速开关二极管1N4148,并连接数字地,以起到稳压、限幅、保护电路<sup>[9]</sup>的作用。

## 2.2 ISE10.1 软件环境下的控制程序设计及仿真

在Xilinx公司ISE 10.1软件平台下<sup>[10]</sup>,使用VHDL硬件描述语言进行逻辑描述,A/D控制逻辑包括系统顶层模块、时钟分频模块、A/D读写控制输入输出模块。使用状态机来设计通道产生及串行数据控制时序,AD7890控制时序图及生成模块原理图分别如图7、8所示。

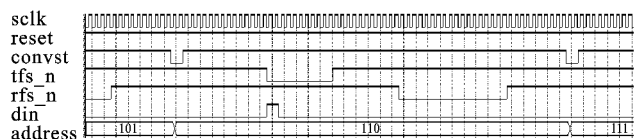


图7 AD7890 控制时序图

Fig. 7 AD7890 control sequence diagram

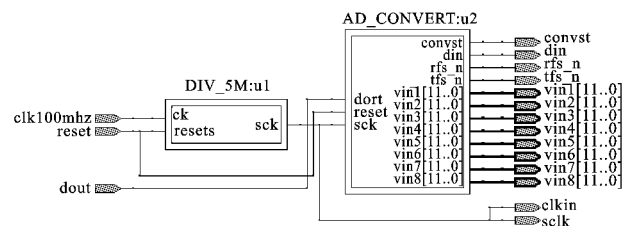


图8 A/D转换控制模块图

Fig. 8 The A/D conversion control module

顶层结构体定义源程序:

entity AD7890\_top is

- port(clk100mhz : in std\_logic; ——系统时钟
- reset : in std\_logic; ——复位信号(低有效)
- dout : in std\_logic; ——串行输入端口信号
- sck : out std\_logic; ——AD输入时钟
- clk\_in : out std\_logic; ——AD内部工作时钟
- rfs\_n : out std\_logic; ——接收帧同步信号(低有效)
- tfs\_n : out std\_logic; ——发送帧同步信号(低有效)
- din : out std\_logic; ——控制命令串行输出端口信号
- convst : out std\_logic; ——转换控制标志

```

/* 8 通道串行数据 */
vin1 : out std_logic_vector(11 downto 0);
...
vin8 : out std_logic_vector(11 downto 0));
end AD7890_top ;
A/D 转换接收串行数据部分源程序如下:
elsif (sclk'event and sclk='1') then
  case state is
    when state0=> if(count<12) then
      tfs_n<='1';
      count:=count+1;
      state<=state0;
    else
      count:=0;
      state<=swrite0;
    end if;
    /* 输入控制字 */
    when swrite0=>tfs_n<='0';
      din<=address(2);
      state<=swrite1;
    ...
    when swrite3=>din<='0';
      state<=swrite4;
    when swrite4=>din<='0';
      state<=swrite5;
    /* 串行数据输出:1 位起始,3 位地址,12 位数据 */
    when sread1=>state<=sread2;—— 串行输出起始位
    when sread2=>tempaddr(2)<=dout; —— 串行输出
    地址位和数据位
    ...
    when sread16=>tempdata(0)<=dout;
      state<=sread;
    ...
    when converse=>
      if(count<9) then
        count:=count+1;
        state<=converse;
      else
        count:=0;
        state<=select;
        convst<='0';
      end if;
    /* 通道地址选择输出 */
    when select=>case tempaddr is
      when "000"=>
        vin1<=tempdata;
        ...
      when "111"=>
        vin8<=tempdata;

```

```

when others=>NULL;
end case;
if address<"111" then
  address<=address+"001";
else
  address<="000";
end if;
state<=sover;
...
end case;

```

### 3 基于 Virtex-4 处理器硬件开发环境下的程序下载验证

在 ISE 软件环境下进行综合、布局布线后,将程序下载到光电仪器便携式多功能信号处理采集系统硬件中(图 9 为实物图),使用在线逻辑分析仪 ChipScope<sup>[11]</sup>采集信号数据,得到 AD7890 控制时序及功能仿真测试图,图 10、图 11 是分别在 AD7890 第 6 通道输入 5 V 模拟量和第 7 通道输入 3 V 模拟量的时序控制及串行数据输出图。



图 9 实验实物图

Fig. 9 Experimental physical picture

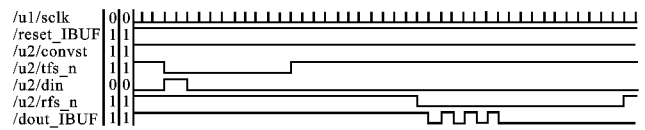


图 10 5V 模拟输入时序控制及串行数据输出

Fig. 10 5V analog input timing control and serial data output

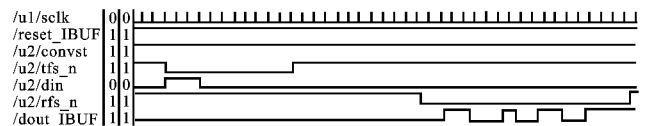


图 11 3V 模拟输入时序控制及串行数据输出

Fig. 11 3V analog input timing control and serial data output

由图 10、图 11 可以看出, FPGA 实现了对 AD7890 的正确控制, AD7890 输出的二进制数与理论计算结果完全一致。实验中在第 6 通道(101)、第 7 通道(110)分别接入 5 V 和 3 V 模拟量, 由图 10、图 11 的 dout 得到的 AD7890 输出的二进制码分别是 101\_010000000000 和 110\_001001100111。前面 3 位是通道码, 后面的 12 位是转换的二进制数据,

010000000000 对应的十进制数的 1024, 001001100111 对应十进制数的 615, 用公式(1)将其换算为输入模拟量。式(1)中  $LSR$ 、 $FSR$  分别表示 AD7890 允许输入的最大模拟量(10 V)和最小模拟量(-10 V), 以 6 通道转换成的二进制数 010000000000 为例, 计算结果为 5 V, 这与加入到 6 通道的模拟量完全一致, 对于 7 通道情况完全类同。

$$\text{转换值} \times \frac{LSR - FSR}{2^{12}} = 1024 \times \frac{20}{4096} = 5 \text{ V} \quad (1)$$

#### 4 结 论

本设计和实验实现了用 FPGA 对 AD7890 的正确控制, 充分发挥了 AD7890 高速高精度特点, 选用 FPGA 作为控制器件, 使得数据采集硬件更加简单, 控制更加灵活, 集成化程度进一步提高, 这对光电仪器外场数据采集系统来说是重要的。

#### 参考文献:

- [1] 黄浦, 杨秀丽, 李军, 等. 多通道模/数转换器 AD7890 与 DSP 的接口设计[J]. 现代电子技术, 2009, (22): 213-215.  
Huang Pu, Yang Xiuli, Li Jun, et al. Interface design between multi-channel A/D convertor AD7890 and DSP [J]. Modern Electronics, 2009, (22): 213-215.
- [2] 汤楠, 李明. AD7890 型串行数/模转换器与 51 系列单片机的接口设计[J]. 国外电子元器件, 2006, (8): 4-7.  
Tang Nan, Li Ming. Design of interface between serial A/D converter AD7890 and 51 series single-chip micro-computer[J]. International Electronic Elements, 2006, (8): 4-7.
- [3] 黄荣兰, 万德焕. 基于 FPGA 的 A/D 转换采集控制模块设计[J]. 数据采集与处理, 2009, 24(S): 237-240.  
Huang Ronglan, Wan Dehuan. Design of A/D conversion sampling control module based on FPGA[J]. Journal of Data Acquisition & Processing, 2009, 24(S): 237-240.
- [4] 陈钰利, 曾成志, 郑海荣, 等. 基于 ADS6122 和 FPGA 的多通道信号采集系统的设计[J]. 电子器件, 2012, 35(4): 406-411.  
Chen Yuli, Zeng Chengzhi, Zheng Hairong, et al. Design of multi-channel data acquisition system based on ADS6122 and FPGA [J]. Chinese Journal of Electron Devices, 2012, 35(4): 406-411.
- [5] 贺秋实, 郝国法, 钱龙. 基于 FPGA 的高速 AD 转换 [J]. 电子设计工程, 2012, 20(8): 122-124.  
He Qiushi, Hao Guofa, Qian Long. AD conversion with high speed based on FPGA [J]. Electronic Design Engineering, 2012, 20(8): 122-124.
- [6] 徐园, 靳根, 王希涛, 等. ARM 与 AD7656-1 的多通道数据采集系统设计[J]. 核电子学与探测技术, 2012, 32(8): 914-917.  
Xu Yuan, Jin Gen, Wang Xitao, et al. The design of multi-channel data acquisition system between ARM and AD7656-1 [J]. Nuclear Electronics & Detection Technology, 2012, 32(8): 914-917.
- [7] 田耘, 徐文波, 胡彬. Xilinx ISE Design Suite 10. x FPGA 开发指南[M]. 北京: 人民邮电出版社, 2008: 26-38.
- [8] Analog Devices Inc. LC<sup>2</sup> MOS 8-Channel, 12-Bit Serial Data Acquisition System AD7890 Data Sheet [EB/OL]. [http://www.analog.com/static/imported-files/data\\_sheets/AD7890.pdf](http://www.analog.com/static/imported-files/data_sheets/AD7890.pdf), 2013-5-20.
- [9] 赵慧洁, 刘小康, 张颖. 声光可调谐滤波成像光谱仪的 CCD 成像电子学系统[J]. 光学精密工程, 2013, 21(5): 1291-1296.  
Zhao Huijie, Liu Xiaokang, Zhang Ying. CCD imaging electrical system of AOTF imaging [J]. Optics and Precision Engineering, 2013, 21(5): 1291-1296.
- [10] 赵吉成, 王智勇. Xilinx FPGA 设计与实践教程[M]. 西安: 西安电子科技大学出版社, 2012: 26-40.
- [11] 田耘, 徐文波. Xilinx FPGA 开发实用教程[M]. 北京: 清华大学出版社, 2008: 295-316.

(责任编辑 王卫勋)